

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-199719

(43)Date of publication of application : 12.07.2002

(51)Int.Cl.

H02M 3/28

(21)Application number : 2000-395836

(71)Applicant : DENSEI LAMBDA KK

(22)Date of filing : 26.12.2000

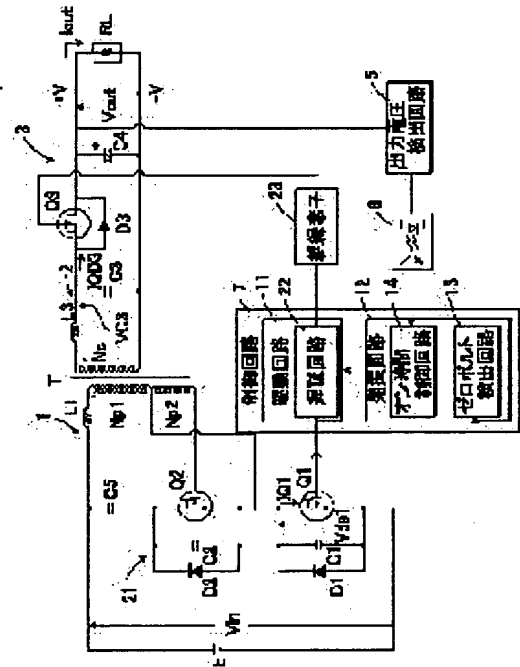
(72)Inventor : KOIKE MASAHIRO

(54) COMPOSITE RESONANCE TYPE SWITCHING POWER SUPPLY

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a loss caused by a secondary side rectifying unit of an insulated converter transformer.

SOLUTION: A sinusoidal pulse waveform is given to a voltage, between both terminals of a main switching device Q1 by a voltage resonance circuit 1 on the primary side of an insulated converter transformer T to carry out ZVS of the main switching device Q1. An alternating voltage, obtained from the secondary winding Ns of the insulated converter transformer T, is converted into a resonance voltage of a sinusoidal waveform by a voltage resonance circuit 3, on the secondary side of the insulated converter transformer T. Since a rectifying switching device Q3 is used as a rectifier, comprising the secondary side rectifying unit, even if an output voltage Vout is low, the efficiency of the secondary side rectifying unit will not decline so much.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-199719

(P 2002-199719 A)

(43) 公開日 平成14年7月12日 (2002. 7. 12)

(51) Int. Cl.⁷

H 0 2 M 3/28

識別記号

F I

H 0 2 M 3/28

ターコト* (参考)

Q 5H730

H

審査請求 未請求 請求項の数 2

O L

(全 7 頁)

(21) 出願番号 特願2000-395836 (P2000-395836)

(22) 出願日 平成12年12月26日 (2000. 12. 26)

(71) 出願人 390013723

デンセイ・ラムダ株式会社

東京都品川区東五反田一丁目11番15号 電
波ビルディング

(72) 発明者 小池 昌宏

東京都品川区東五反田1-11-15 デンセ
イ・ラムダ株式会社内

(74) 代理人 100080089

弁理士 牛木 護

F ターム (参考) 5H730 AA14 AS01 BB23 BB57 BB72

DD04 DD41 EE02 EE07 EE14

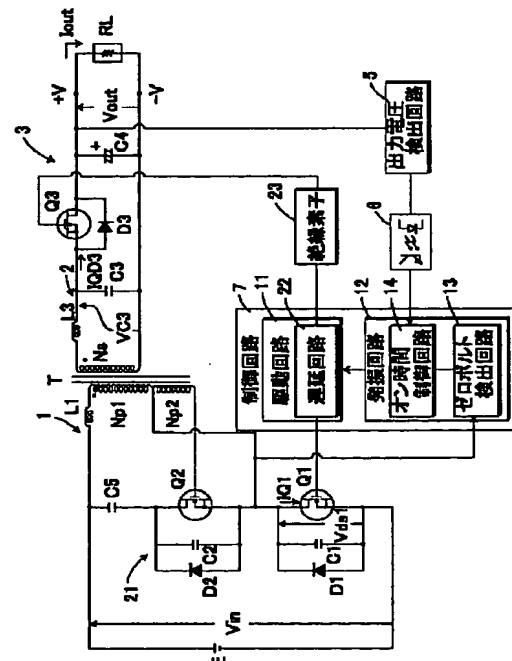
FD01 FF19 FG03

(54) 【発明の名称】 複合共振型スイッチング電源装置

(57) 【要約】

【課題】 絶縁コンバータトランスの二次側整流部による損失を低減し、効率の向上を図る。

【解決手段】 絶縁コンバータトランス T の一次側にある電圧共振回路 1 により、主スイッチング素子 Q 1 の両端間電圧を正弦波状のパルス波形にし、主スイッチング素子 Q 1 の Z V S を行なう。また、絶縁コンバータトランス T の二次側にある電圧共振回路 2 により、絶縁コンバータトランス T の二次巻線 N s に得られる交番電圧を正弦波状の共振電圧にする。絶縁コンバータトランス T の二次側整流部を構成する整流素子として、整流スイッチング素子 Q 3 を用いることで、出力電圧 V out が低くても二次側整流部の効率はさほど低下しない。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 主スイッチング素子のスイッチングにより絶縁コンバータトランスの一次巻線に直流入力電圧を断続的に印加し、この絶縁コンバータトランスの二次巻線に誘起された交番電圧を整流平滑して所望の直流出力電圧を得ると共に、前記絶縁コンバータトランスの一次側と二次側にそれぞれ共振回路を有する複合共振型スイッチング電源装置において、前記絶縁コンバータトランスの二次側にある整流素子として、前記主スイッチング素子に同期してオン・オフする整流スイッチング素子を備えたことを特徴とする複合共振型スイッチング電源装置。

【請求項 2】 前記主スイッチング素子のオフ期間に、この主スイッチング素子の両端間電圧を一定に保つアクティブクランプ回路を備えたことを特徴とする請求項 1 記載の複合共振型スイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、絶縁コンバータトランスの一次側と二次側にそれぞれ電圧共振回路または電流共振回路を有する複合共振型スイッチング電源装置に関する。

【0002】

【発明が解決しようとする課題】 従来、スイッチング素子のスイッチングにより絶縁コンバータトランスの一次巻線に直流入力電圧を断続的に印加し、この絶縁コンバータトランスの二次巻線に誘起された交番電圧を整流平滑して所望の直流出力電圧を得るスイッチング電源装置においては、スイッチング素子がオフの期間にこのスイッチング素子の両端間に加わる電圧を電圧共振回路によって正弦波状にし、スイッチング素子のターンオンおよびターンオフ時における損失やサージを低減する電圧共振型スイッチング電源装置が知られている。また近年は、絶縁コンバータトランスの一次側のみならず二次側にも電圧共振回路を設けて、最大負荷電力の増加を図ると共に、スイッチング素子の周波数と導通角を同時に制御して、出力電圧の安定化を図る複合電圧共振型スイッチング電源装置も提案されている。

【0003】 図 3 は、従来の複合電圧共振型スイッチング電源装置における回路図の一例を示したもので、ここでは、1 石のスイッチング素子 Q 1 を備えた他励式の構成を有している。同図において、E は直流入力電圧 V_{in} を供給する直流電源、T は一次側と二次側とを絶縁する絶縁コンバータトランス、Q 1 は例えば MOS 型 FET からなる第 1 のスイッチング素子で、絶縁コンバータトランス T の一次側は、直流電源 E の両端間にトランス T の一次巻線 N_p とスイッチング素子 Q 1 の直列回路を接続したシングルエンデット型のコンバータで構成される。また、スイッチング素子 Q 1 の両端すなわちドレイン・ソース間には、一次側共振コンデンサ C 1 とダイオ

ード D 1 が並列に接続される。この共振コンデンサ C 1 はスイッチング素子 Q 1 に内蔵する寄生キャパシタンスであり、またダイオード D 1 はスイッチング素子 Q 1 に内蔵するボディダイオードであるが、外付けのコンデンサ素子やダイオード素子を用いてもよい。また、絶縁コンバータトランス T の一次側には、前記共振コンデンサ C 1 と共に一次側電圧共振回路 1 を構成する一次側共振インダクタンス L 1 が、一次巻線 N_p の一端に接続される。この共振インダクタンス L 1 は、絶縁コンバータトランス T のリーケージインダクタンスを利用しているが、外付けのインダクタンス素子を利用してもよい。そして、絶縁コンバータトランス T の一次側では、スイッチング素子 Q 1 のスイッチングにより一次巻線 N_p に入力電圧 V_{in} が断続的に印加されると共に、スイッチング素子 Q 1 のオフ時には、前記電圧共振回路 1 の作用によって、共振コンデンサ C 1 についてはスイッチング素子 Q 1 の両端間電圧を正弦波状のパルス波形にし、電圧共振としての動作を得るようにしている。

【0004】 絶縁コンバータトランス T は、スイッチング素子 Q 1 のスイッチング出力を二次側に伝送するためのもので、絶縁コンバータトランス T の二次巻線 N_s には、一次巻線 N_p との巻数比に応じた交番電圧が誘起される。また、この二次巻線 N_s には、二次側共振インダクタンス L 3 と二次側共振コンデンサ C 3 との直列回路が、二次側電圧共振回路 2 として並列に接続され、この電圧共振回路 2 によって、絶縁コンバータトランス T の二次巻線 N_s に得られる交番電圧を共振電圧にし、電圧共振としての動作を得るようにしている。なお、この場合の共振インダクタンス L 3 は、絶縁コンバータトランス T のリーケージインダクタンスを利用しているが、外付けのインダクタンス素子を利用してもよい。共振コンデンサ C 3 の両端間には、整流ダイオード D 5 と平滑コンデンサ C 4 とからなる半波整流平滑回路 3 が接続され、前記共振電圧がこの半波整流平滑回路 3 により整流平滑されることで、平滑コンデンサ C 4 の両端間に接続した出力端子 +V_o、-V_o については負荷 R_L に所望の直流出力電圧 V_{out} を得るようにしている。

【0005】 一方、この出力電圧 V_{out} の安定化を図るための帰還ループとして、出力電圧検出回路 5 と、信号伝送手段として一次側と二次側とを絶縁するフォトカプラ 6 と、スイッチング素子 Q 1 の動作を制御する制御回路 7 がそれぞれ設けられる。出力電圧検出回路 5 は、出力電圧 V_{out} を検出するもので、例えば出力電圧 V_{out} を分圧する抵抗と、この抵抗の接続点から出力する出力電圧 V_{out} の検出電圧と基準電圧とを比較する誤差増幅器またはシャントレギュレータなどから構成され、検出電圧と基準電圧との誤差結果を、フォトカプラ 6 を介して後述する制御回路 7 のオン時間制御回路 14 に、出力電圧 V_{out} の誤差増幅信号として出力するようにしている。また制御回路 7 は、発振回路 12 と、この発振回路 12 から

のバルス波形を駆動信号としてスイッチング素子Q1に出力する駆動回路11とを備えており、発振回路12は、主スイッチング素子Q1のオフ時間を一定にする手段として、主スイッチング素子Q1の両端間がゼロボルトになったか否かを検出するゼロボルト検出回路13を備えると共に、主スイッチング素子Q1のオン時間を出力電圧Voutの誤差増幅信号に応じて可変するオン時間制御回路14を備えている。これにより、出力電圧Voutの変動に伴ってスイッチング素子Q1のゲートに供給するバルス駆動信号のオン時間が所定の範囲で変化すると共に、このバルス駆動信号のオフ時間はゼロボルト検出回路13により固定され、結果的にスイッチング素子Q1のスイッチング周波数が可変制御される。これにより、広い制御範囲において出力電圧Voutの定電圧化が図られる上に、最大負荷電力の増大を図ることができる。

【0006】こうした複合電圧共振型スイッチング電源装置は、出力電圧Voutが比較的高い高出力電圧に適している。すなわち、上記図3の回路構成において、絶縁コンバータトランスTの二次側整流部の効率 η_s は、半波整流平滑回路3に整流ダイオードD5がある関係で、次の数1のようにあらわせる。

【0007】

【数1】

$$\eta_s = \frac{V_{out} \times I_{out}}{(V_{out} + VF) \times I_{out}}$$

【0008】但し、Voutは負荷RLの両端間に生じる出力電圧、Ioutは二次巻線Nsから負荷RLに流れる負荷電流、VFは整流ダイオードD5の順方向電圧降下である。

【0009】上記数1の分母および分子を、Vout×Ioutで割って整理すると、次の数2のようになる。

【0010】

【数2】

$$\eta_s = \frac{1}{1 + \frac{VF}{V_{out}}}$$

【0011】この場合、出力電圧Voutが高ければ高い程、絶縁コンバータトランスTの二次側整流部の効率 η_s は理想的な1に近付くが、出力電圧Voutが低くなる程、整流ダイオードD5の順方向電圧降下による影響が無視できなくなって、効率 η_s が大きく低下する。したがって、この種の複合電圧共振型スイッチング電源装置においては、出力電圧Voutを例えばDC2VやDC3.3Vなどに低電圧化しようとする際に、整流ダイオードD5の損失による効率 η_s の低下が懸念されていた。

【0012】本発明は、上記の課題に着目して成されたものであって、絶縁コンバータトランスの二次側整流部による損失を低減し、効率の向上を図った複合電圧共振

型スイッチング電源装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の請求項1記載の複合共振型スイッチング電源装置は、主スイッチング素子のスイッチングにより絶縁コンバータトランスの一次巻線に直流入力電圧を断続的に印加し、この絶縁コンバータトランスの二次巻線に誘起された交番電圧を整流平滑して所望の直流出力電圧を得ると共に、前記絶縁コンバータトランスの一次側と二次側にそれぞれ共振回路を有する複合電圧共振型スイッチング電源装置において、前記絶縁コンバータトランスの二次側にある整流素子として、前記主スイッチング素子に同期してオン・オフする整流スイッチング素子を備えたものである。

【0014】絶縁コンバータトランスの一次側にある共振回路により、主スイッチング素子を通る電流または両端間電圧を正弦波状のバルス波形にし、主スイッチング素子のソフトスイッチングを行なう。また、絶縁コンバータトランスの二次側にある別の共振回路によって、絶縁コンバータトランスの二次巻線に得られる交番電圧または二次巻線からの電流を正弦波状の共振電圧または共振電流にする。その際、絶縁コンバータトランスの二次側整流部を構成する整流素子として、ダイオード素子ではなく整流スイッチング素子を用いているので、出力電圧の低い複合共振型スイッチング電源装置であっても、二次側整流部の効率はさほど低下しない。よって、従来に比べて絶縁コンバータトランスの二次側整流部による損失を低減し、効率の向上を図ることが可能になる。

【0015】本発明の請求項2記載の複合共振型スイッチング電源装置は、前記請求項1において、前記主スイッチング素子のオフ期間中に、この主スイッチング素子の両端間電圧を一定に保つアクティブクランプ回路を備えたことを特徴とする。

【0016】この場合、主スイッチング素子のオフ期間には、アクティブクランプ回路により主スイッチング素子の両端間電圧が一定に保たれる。したがって、主スイッチング素子のオフ期間において、この主スイッチング素子の電圧ストレスを低減することが可能になる。

【0017】

【発明の実施形態】以下、本発明の複合共振型スイッチング電源装置について添付図面を参照して説明する。なお、前記従来例における図3と同一部分には同一符号を付し、その共通する箇所の説明は重複するため省略する。装置の回路構成を示す図1において、絶縁コンバータトランスTの一次側は、共振インダクタンスL1、一次巻線Np1およびMOS型FETからなる主スイッチング素子Q1との直列回路が、直流電源Eの両端間に接続されると共に、共振インダクタンスL1と一次巻線Np1との直列回路の両端間には、MOS型FETからなる補助スイッチング素子Q2とコンデンサC5との直列回路

で構成されるアクティブクランプ回路21が接続される。また絶縁コンバータトランスTは、入力電圧 V_{in} が断続的に印加される一次巻線 N_{p1} とは別に、補助スイッチング素子Q2のゲートに駆動電圧を供給する駆動巻線としての一次巻線 N_{p2} が別に設けられる。これにより、主スイッチング素子Q1と補助スイッチング素子Q2は、双方がオフになるデッドタイムを有しながら、交互にオン・オフを繰り返すようになる。本実施例では、こうした動作を一次巻線 N_{p2} により行なわせているが、例えば駆動回路11から出力されるパルス駆動信号を適当なデッドタイムを持たせて反転させ、この反転した駆動信号を補助スイッチング素子Q2に供給するように構成してもよい。

【0018】前記補助スイッチング素子Q2の両端すなわちドレイン・ソース間には、コンデンサC2とダイオードD2が並列に接続される。このコンデンサC2はスイッチング素子Q2に内蔵する寄生キャパシタンスであり、またダイオードD2はスイッチング素子Q2に内蔵するボディダイオードであるが、外付けのコンデンサ素子やダイオード素子を用いてもよい。また、電圧クランプ用のコンデンサC5は、主スイッチング素子Q1の両端間に並列接続される共振コンデンサC1よりも静電容量の大きなものが選定される。なお、アクティブクランプ回路21をスイッチング素子Q1の両端間に接続してもよい。

【0019】一方、絶縁コンバータトランスTの二次側は、前述の整流ダイオードD5に代わって、MOS型FETからなる整流スイッチング素子Q3が半波整流平滑回路3を構成する整流素子として設けられる。この整流スイッチング素子Q3は、内蔵するボディダイオードとしてのダイオードD3が、ドレイン・ソース間に接続される。また、整流スイッチング素子Q3を適切なタイミングでオンさせるために、前記主スイッチング素子Q1のゲートへの駆動信号が立ち上がってから第1の所定時間後に整流スイッチング素子Q3のゲートへの駆動電圧を立ち上げらせ、主スイッチング素子Q1のゲートへの駆動信号が立ち下がってから第2の所定時間後に整流スイッチング素子Q3のゲートへの駆動電圧を立ち下げさせる遅延回路22が、前記駆動回路11に設けられる。なお23は、トランスTの一次側にある制御回路7と、トランスTの二次側にある整流スイッチング素子Q3との間の信号伝送路を絶縁する絶縁素子である。その他の構成は、図3に示す従来例と同じである。

【0020】次に、上記構成について、その作用を図2の波形図を参照して説明する。なお、この図2において、最上段は主スイッチング素子Q1のドレイン電流 I_{Q1} の波形であり、以下、主スイッチング素子Q1のドレイン・ソース間電圧 V_{ds1} 、共振コンデンサC3の両端間電圧 V_{C3} 、整流スイッチング素子Q3を流れる電流（但し、ダイオードD3を流れる分も加味する） I_{Q3} 、

主スイッチング素子Q1のゲート・ソース間電圧 V_{gs1} 、整流スイッチング素子Q3のゲート・ソース間電圧 V_{gs3} の各波形を示している。

【0021】主スイッチング素子Q1は前述したように、出力電圧 V_{out} の変動に伴ってスイッチング素子Q1のゲートに供給するパルス駆動信号のオン時間が所定の範囲で変化すると共に、このパルス駆動信号のオフ時間はゼロボルト検出回路13により固定され、結果的にスイッチング素子Q1のスイッチング周波数が可変制御される。これにより、広い制御範囲において出力電圧 V_{out} の定電圧化を図ることができると共に、最大負荷電力の増大を図ることができる。

【0022】この主スイッチング素子Q1の一連の動作において、図2に示すように、主スイッチング素子Q1のゲートに供給する駆動信号（ゲート・ソース間電圧 V_{gs1} ）がH（高）レベルからL（低）レベルに切り換わる区間①になると、主スイッチング素子Q1および補助スイッチング素子Q2がいずれもオフ状態になるデッドタイムに移行する。この区間①では、絶縁コンバータトランスTの一次巻線 N_{p1} と共振インダクタンスL1が、それまで主スイッチング素子Q1を通して流れていた電流の連続性を維持するために、共振コンデンサC1に共振電流を流し、共振コンデンサC1は充電する一方で、コンデンサC2、C5は放電する。これにより、共振インダクタンスL1と共振コンデンサC1との間で電圧共振を生じ、主スイッチング素子Q1のドレイン・ソース間電圧 V_{ds1} はゼロから正弦波状に緩やかに立ち上がる。またこの共振時には、主スイッチング素子Q1のドレイン電流 I_{Q1} はゼロであり、主スイッチング素子Q1のターンオフ時のゼロ電圧スイッチング（ZVS）が達成される。

【0023】やがて、主スイッチング素子Q1のドレイン・ソース間電圧 V_{ds1} が、入力電圧 V_{in} とコンデンサC5の両端間電圧を合計した値を越えると、ダイオードD2がオンして、共振インダクタンスL1および一次巻線 N_{p1} からの慣性電流の殆どが、ダイオードD2を介してコンデンサC5に流れ込む。このとき、コンデンサC5の静電容量をコンデンサC1の静電容量よりも十分大きく設定すれば、主スイッチング素子Q1のドレイン・ソース間電圧 V_{ds1} は略一定値にクランプされ、主スイッチング素子Q1に対する電圧ストレスが軽減される。

【0024】そして、次の区間②において、一次巻線 N_{p2} の非ドット側巻線に発生する電圧が所定レベルを越えると、補助スイッチング素子Q2がターンオンするが、そのタイミングはダイオードD2がオンした後、前記慣性電流がゼロになるまでの間であればよい。

【0025】またその間、整流スイッチング素子Q3を通してコンデンサC4や負荷 R_L への電流 I_{Q3} は、主スイッチング素子Q1をオフした時点から徐々に低下するが、この電流 I_{Q3} がゼロになる前に、制御回路7が整流

スイッチング素子Q3をターンオフするため、代わってダイオードD3を通じて電流I_{Q3}が流れ始める。整流スイッチング素子Q3がターンオフするタイミングは、遅延回路22により主スイッチング素子Q1をターンオフしてから第2の所定時間T2を経過した後となるが、この所定時間T2の設定は、前記共振コンデンサC1と共振インダクタンスL1の各定数で決まる共振周波数に依存する。

【0026】やがて、共振インダクタンスL1や一次巻線N_{p1}の全エネルギーがコンデンサC5に移り、これらの共振インダクタンスL1や一次巻線N_{p1}からの慣性電流がゼロになると、絶縁コンバータトランスTの二次側においても、ダイオードD3を流れる電流I_{Q3}がゼロになり、ダイオードD3およびスイッチング素子Q3が共にオフ状態となる区間③に移行する。この区間③においては、コンデンサC4に蓄えられた電荷により、負荷RLに出力電流I_{out}が供給される。また、絶縁コンバータトランスTの二次側では、電圧共振回路2を構成する共振インダクタンスL3と共振コンデンサC3による電圧共振が生じ、コンデンサC3の両端間電圧V_{C3}は正弦波状の電圧共振パルス波形となる。

【0027】その後、主スイッチング素子Q1がオンする前に、補助スイッチング素子Q2を適当なタイミングでオフさせると、区間④に移行する。ここでは、共振インダクタンスL1や一次巻線N_{p1}が、それまで流れていた電流の連続性を維持するために、直流電源Eを介して共振コンデンサC1に共振電流を流す。これにより、共振インダクタンスL1と共振コンデンサC1との間で再度電圧共振が生じ、主スイッチング素子Q1のドレイン・ソース間電圧V_{ds1}は正弦波状に低下する。これに伴い、主スイッチング素子Q1のドレイン・ソース間電圧V_{ds1}が入力電圧V_{in}よりも低くなると、絶縁インバータトランスTの一次巻線N_{p1}はドット側端子に正極性の電圧が印加され、他の一次巻線N_{p2}や二次巻線Ns、Ns2のドット側端子も、それまでとは逆に正極性の電圧が誘起されるようになる。そして、共振コンデンサC1の電荷の放出が終了すると、今度はダイオードD1がオンするため、主スイッチング素子Q1のドレイン・ソース間電圧V_{ds1}はゼロボルトに保たれる。なお、この区間④の時点では、絶縁コンバータトランスTの二次側において、電圧共振回路2による電圧共振が継続している。

【0028】前記ダイオードD1がオンした状態で、駆動回路11からの駆動信号により主スイッチング素子Q1をオンすると、区間⑤に移行するが、この時点では主スイッチング素子Q1のドレイン・ソース間電圧V_{ds1}がゼロボルトに保たれているので、ターンオフ時と同様にターンオン時においても主スイッチング素子Q1のゼロ電圧スイッチング(ZVS)が達成される。共振インダクタンスL1や一次巻線N_{p1}にエネルギーが蓄えられて

いる間は、主スイッチング素子Q1を通して逆向きの電流I_{Q1}が流れるが、やがて全てのエネルギーが直流電源E側に戻ると、今度は直流電源Eから共振インダクタンスL1、一次巻線N_{p1}、および主スイッチング素子Q1を通して電流が流れる。また、区間⑤においても、絶縁コンバータトランスTの二次側において、電圧共振回路2による電圧共振が継続している。

【0029】やがて、制御回路7を構成する遅延回路22は、駆動回路11が主スイッチング素子Q1をターンオンさせた後に、第1の所定時間T1を経過した時点で整流スイッチング素子Q3をターンオンさせる(区間⑥)。この所定時間T1の設定は、前記共振コンデンサC3と共振インダクタンスL3の各定数で決まる共振周波数に依存する。整流スイッチング素子Q3がターンオンする前に、前記電圧共振回路2による電圧共振で、コンデンサC3の両端間電圧V_{C3}が出力電圧V_{out}を越えた時点で、ダイオードD3がオンし、このダイオードD3を介して平滑コンデンサC4や負荷RLに電力供給のための電流I_{Q3}が流れ始める。そして、整流スイッチング素子Q3がターンオンすると、今度は整流スイッチング素子Q3を通して電流I_{Q3}が流れ、コンデンサC3の両端間電圧V_{C3}は出力電圧V_{out}と同じ値になる。その際、整流スイッチング素子Q3の飽和電圧を、従来の整流ダイオードD5の順方向電圧降下V_Fよりも低くなるように選択すれば、特に出力電圧V_{out}が低く負荷電流I_{out}の大きい低出力大電流の複合電圧共振型スイッチング電源装置において、従来の整流ダイオードD5を通じての電力供給に比べて、絶縁コンバータトランスTの二次側整流部における損失を低減でき、効率の向上を図ることができる。その後、主スイッチング素子Q1がターンオフすると、区間⑥に戻って上述の動作を繰り返す。

【0030】以上のように本実施例によれば、主スイッチング素子Q1のスイッチングにより絶縁コンバータトランスTの一次巻線N_{p1}に直流入力電圧を断続的に印加し、この絶縁コンバータトランスTの二次巻線Nsに誘起された交番電圧を整流平滑して所望の直流出力電圧V_{out}を得ると共に、絶縁コンバータトランスTの一次側と二次側にそれぞれ電圧共振回路1、2を有する複合共振型スイッチング電源装置において、絶縁コンバータトランスTの二次側にある整流素子として、前記主スイッチング素子Q1に同期してオン・オフする整流スイッチング素子Q3を備えている。

【0031】この場合、絶縁コンバータトランスTの一次側にある電圧共振回路1により、主スイッチング素子Q1の両端間電圧を正弦波状のパルス波形にし、主スイッチング素子Q1のソフトスイッチングを行なう。また、絶縁コンバータトランスTの二次側にある別の電圧共振回路2によって、絶縁コンバータトランスTの二次巻線Nsに得られる交番電圧を正弦波状の共振電圧にする。その際、絶縁コンバータトランスTの二次側整流部

を構成する整流素子として、ダイオード素子ではなく整流スイッチング素子 $Q3$ を用いているので、出力電圧 V_{out} の低い複合電圧共振型スイッチング電源装置であっても、二次側整流部の効率 η_s はさほど低下しない。よって、従来に比べて絶縁コンバータトランス T の二次側整流部による損失を低減し、効率の向上を図ることが可能になる。

【0032】また本実施例では、補助スイッチング素子 $Q2$ とコンデンサ $C5$ との直列回路により構成され、主スイッチング素子 $Q1$ のオフ期間に補助スイッチング素子 $Q2$ をオンにして、この主スイッチング素子 $Q1$ の両端間電圧すなわちドレイン・ソース間電圧 V_{ds1} をコンデンサ $C5$ の充放電により一定に保つアクティブクランプ回路 21 を備えている。

【0033】この場合、主スイッチング素子 $Q1$ のオフ期間には、アクティブクランプ回路 21 により主スイッチング素子 $Q1$ のドレイン・ソース間電圧 V_{ds1} が一定に保たれる。したがって、主スイッチング素子 $Q1$ のオフ期間において、この主スイッチング素子 $Q1$ の電圧ストレスを低減できる。

【0034】なお、本実施例では、絶縁コンバータトランス T の二次側整流平滑回路として、整流スイッチング素子 $Q3$ と平滑ダイオード $C4$ とからなる半波整流平滑回路 3 を設けたが、一対の整流スイッチング素子と平滑ダイオードとからなる全波整流平滑回路を設けてもよい。また、絶縁コンバータトランス T の一次側回路としては、実施例におけるシングルエンデッド型コンバータに電圧共振回路 1 を備えたものの他に、ハーフブリッジ型やフルブリッジ型コンバータに電流共振回路を備えたものでもよい。この場合、共振電流が主スイッチング素子 $Q1$ のオン時間中に発生するため、このオン時間を一定にする手段を制御回路 7 に設ける必要があるが、電流共振回路により主スイッチング素子を流れる電流が正弦波状のパルス波形になって、同様に主スイッチング素子のソフトスイッチングが達成される。また、絶縁コンバ

ータトランス T の二次側も、例えば二次巻線 N_s と共振コンデンサ $C3$ を直列に接続した電流共振回路によって、絶縁コンバータトランス T の二次巻線 N_s からの電流を正弦波状の共振電流にするように構成してもよい。

【0035】以上、本発明の複合電圧共振型スイッチング電源装置について前記実施例に基づき説明してきたが、本発明は前記実施例に限定されるものではなく、種々の変形実施が可能である。例えば、前記実施例においては、主スイッチング素子 $Q1$ としてMOS型FETを利用したが、他に絶縁ゲートバイポーラトランジスタ(IGBT)や、バイポーラ接合トランジスタ(BJT)などの各種半導体スイッチング素子を利用してもよい。

【0036】

【発明の効果】本発明の請求項1記載の複合共振型スイッチング電源装置によれば、絶縁コンバータトランスの二次側整流部による損失を低減し、効率の向上を図ることができる。

【0037】また、本発明の請求項2記載の複合共振型スイッチング電源装置によれば、主スイッチング素子のオフ期間において、この主スイッチング素子の電圧ストレスを低減できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す複合共振型スイッチング電源装置の回路図である。

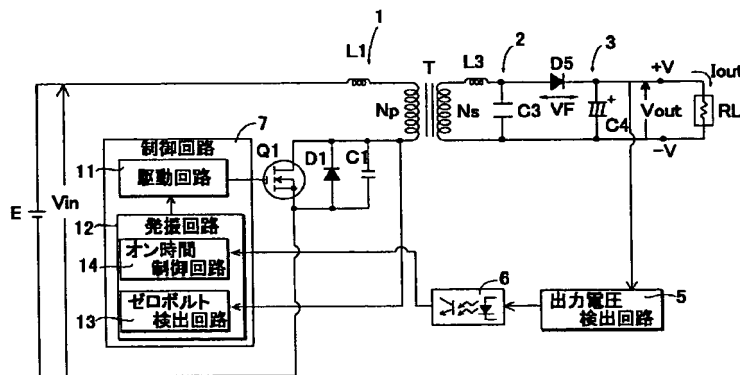
【図2】同上各部の波形図である。

【図3】従来の複合電圧共振型スイッチング電源装置の回路図である。

【符号の説明】

- 1, 2 電圧共振回路(共振回路)
- 21 アクティブクランプ回路
- Q1 主スイッチング素子
- Q3 整流スイッチング素子
- T 絶縁コンバータトランス

【図3】



The timing diagram illustrates the relationship between the inverter's output currents, drain-source voltages, and gate-source voltages. The waveforms are as follows:

- IQ1, IQ3:** Output currents for the first and third legs. IQ1 is high during points 1-2 and 5-6, while IQ3 is high during points 3-4.
- Vds1:** Drain-source voltage for the first leg, showing switching transients.
- VC3:** Capacitor voltage for the third leg, showing a ripple waveform.
- Vgs1, Vgs2, Vgs3:** Gate-source voltages for the three legs, which are square waves.

Vertical dashed lines mark the six numbered points on the time axis. T_1 and T_2 represent the time intervals between points 4-5 and 3-4, respectively.

THIS PAGE BLANK (USPTO)